

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-099357

(43)Date of publication of application : 05.04.2002

(51)Int.Cl. G06F 1/24
G06F 11/30
G06F 15/78
H01L 27/04
H01L 21/822

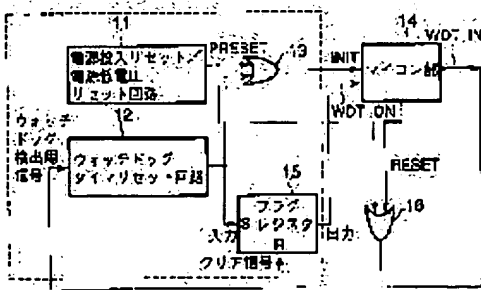
(21)Application number : 2000-289525 (71)Applicant : TOSHIBA MICROELECTRONICS CORP
TOSHIBA CORP
(22)Date of filing : 22.09.2000 (72)Inventor : NAKAMURA YOSHITO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, in which significant data are prevented from being unexpectedly erased by not resetting an internal storage device in the case of a reset caused by the runaway of a microcomputer but resetting the internal storage device only when turning on a power source or when a power supply voltage is lowered.

SOLUTION: A reset circuit 12 forms a reset signal WDT RESET from the output of a watchdog timer, which detects the runaway of a microcomputer part 14, and a flag register 15 is turned into set state. Corresponding to such set output WDT ON, the initialization of a RAM or register in the internal storage circuit of the microcomputer part 14 is inhibited.



LEGAL STATUS

[Date of request for examination]

28.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the abandonment examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 24.01.2005

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-99357
(P2002-99357A)

(43) 公開日 平成14年4月5日 (2002.4.5)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 1/24		G 0 6 F 11/30	3 1 0 A 5 B 0 4 2
	11/30	15/78	5 1 0 P 5 B 0 5 4
	15/78		5 1 0 K 5 B 0 6 2
		1/00	3 5 0 B 5 F 0 3 8
H 0 1 L 27/04		H 0 1 L 27/04	H
審査請求 未請求 請求項の数10 O L (全 5 頁) 最終頁に続く			

(21) 出願番号 特願2000-289525 (P2000-289525)

(22) 出願日 平成12年9月22日 (2000.9.22)

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 中村 義人

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

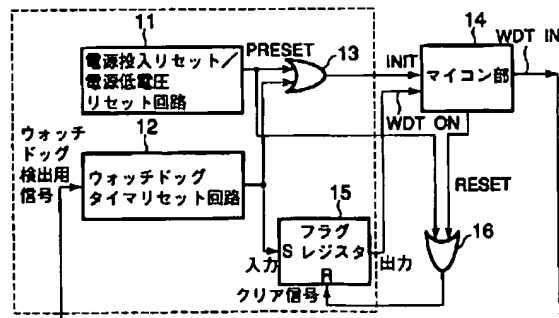
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 マイコンの暴走によるリセットのときには内部記憶装置のリセットを行わず、電源投入、電源電圧低下などのときのみ内部記憶装置のリセットを行うように構成し、重要なデータが不用意に消去されないようにした半導体装置の提供を目的とする。

【解決手段】 マイコン部14の暴走を検知したウォッチドッグタイマの出力からリセット回路12によりリセット信号WDTRESETを形成し、フラグレジスタ15をセット状態とし、このセット出力WDT ONによりマイコン部14の内部記憶回路のRAM或いはレジスタなどの初期化を禁止するように構成される。



【特許請求の範囲】

【請求項1】 電源投入又は電源投入後の電源電圧低下を検出して第1のリセット信号を発生する電源応答リセット回路と、

この電源応答リセット回路からの前記第1のリセット信号に応答してリセットされるとともに、そのソフトシーケンスの異常を検知するソフト異常検知回路を内蔵するマイコンと、

前記ソフト異常検知回路からの検知信号に応答して第2のリセット信号を発生するソフト異常リセット回路と、前記第1のリセット信号が出力されたときは、前記マイコンのリセットを行うとともに前記第2のリセット信号の発生を示すフラグをセットし、第2のリセット信号が出力されたときは、前記マイコンのリセットを禁止するリセット制御回路と、

を具備することを特徴とする半導体装置。

【請求項2】 前記リセット制御回路は、前記フラグを記憶するレジスタを含むことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記マイコンは、前記フラグがセットされた状態で前記第2のリセット信号が供給されたときは、その内部記憶装置の初期化を禁止する機能を有することを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記ソフト異常検知回路はウォッチドッグタイマを含むことを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記マイコンは自動車に搭載され、前記内部記憶装置は前記自動車のトリップメータの積算走行距離を記憶するためのRAM又はレジスタを含むことを特徴とする請求項3に記載の半導体装置。

【請求項6】 前記マイコンは自動車に搭載され、前記内部記憶装置は前記自動車のアナログ表示式メータの表示内容をデジタル量として記憶するためのRAM又はレジスタを含むことを特徴とする請求項3に記載の半導体装置。

【請求項7】 電源投入又は電源投入後の電源電圧低下を検出して第1のリセット信号を発生する電源応答リセット回路と、

この電源応答リセット回路からの前記第1のリセット信号に応答してリセットされるとともに、ウォッチドッグタイマ回路を内蔵するマイコンと、

前記ウォッチドッグタイマ回路からのウォッチドッグ検出信号に応答して第2のリセット信号を出力するウォッチドッグタイマリセット回路と、

前記第1のリセット信号が出力されたときは、前記マイコンのリセットを行うとともに前記第2のリセット信号の発生を示すフラグをセットするリセット制御回路とを具備し、

このリセット制御回路は、

前記第1のリセット信号が一方の入力端に供給され、前

記第2のリセット信号が他方の入力端に供給されるOR回路と、

前記第1のリセット信号が出力されたときにリセットされるとともに、前記第2のリセット信号が出力されたときにセットされるレジスタと、

前記OR回路の出力信号および前記レジスタの出力信号を前記マイコンに供給する手段と、

を具備することを特徴とする半導体装置。

【請求項8】 前記マイコンは、前記レジスタがリセットされた状態で前記第2のリセット信号が供給されたときは、その内部記憶装置の初期化を行わずに前記ウォッチドッグタイマのリセットを行う機能を有することを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記マイコンは自動車に搭載され、前記内部記憶装置は前記自動車のトリップメータの積算走行距離を記憶するためのRAM又はレジスタを含むことを特徴とする請求項8に記載の半導体装置。

【請求項10】 前記マイコンは自動車に搭載され、前記内部記憶装置は前記自動車のアナログ表示式メータの表示内容をデジタル量として記憶するためのRAM又はレジスタを含むことを特徴とする請求項8に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ウォッチドッグタイマなどのソフト異常検知回路内蔵のマイコンを有する半導体装置に関する。

【0002】

【従来の技術】マイコンに対する電源投入時の初期化のためのリセット回路や、電源投入後の電源電圧低下時にリセットを行うためのリセット回路、あるいは、マイコンに内蔵されたウォッチドッグタイマからのウォッチドッグ検出信号によりリセット回路など、種々のリセット回路がマイコンに関連して設けられている。

【0003】図3はマイコンの初期化の為のリセット回路の一例を示し、2つのリセット回路31、32の出力がOR回路33を介してマイコン34のリセット端子に初期化信号として供給される構成となっている。

【0004】一方のリセット回路31は、電源投入（パワーオン）時、或いは電源投入後の電源電圧低下検出時にリセット信号を発生するための回路であり、他方のリセット回路32は、マイコン34に内蔵されたウォッチドッグタイマから発生されるウォッチドッグ検出信号に応答してウォッチドッグタイマリセット信号を出力するための回路である。

【0005】このウォッチドッグタイマはマイコン34がソフト異常により暴走した時に、この暴走を検出して停止させ、その後、ソフトシーケンスが正常に復帰できるように設けられているものである。マイコン34が暴走し、ウォッチドッグタイマがマイコン34の暴走を検

知したとき、ウオッチドッグタイマからウオッチドッグ検出信号が出力され、ウオッチドッグタイマリセット回路32からは、マイコン34を初期化するための信号が出力され、OR回路33を介してその初期化信号がマイコン34に供給され、初期化される。

【0006】

【発明が解決しようとする課題】暴走したマイコン34が初期化されると、それ以前にRAMやレジスタなどの揮発性のメモリに記憶されていた蓄積データがすべて消去され、初期値が設定される。このとき、もしRAMが時間に対して蓄積されるデータを保存するような使い方をされている場合、初期化されると、時間に対して蓄積されたデータに連続性がなくなり、アプリケーションの故障として誤解される可能性があった。

【0007】例えば、自動車のトリップメータの積算走行距離を記憶するためにRAMが用いられているとすると、マイコンの暴走からの復帰時にこの積算走行距離が初期化によりゼロとなる。この結果、トリップメータとしての機能が損なわれ、これに気付かずに燃費の計算などを行うと、全く不正確な結果しか得られないことになる。

【0008】そこで、この発明は、マイコンの暴走によるリセットのときには内部記憶装置の初期化を行わず、電源投入、電源電圧低下などのときのみ内部記憶装置の初期化を行うように構成し、重要なデータが不用意に消去されないようにした半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】この発明の半導体装置は、電源投入又は電源投入後の電源電圧低下を検出して第1のリセット信号を発生する電源応答リセット回路と、この電源応答リセット回路からの前記第1のリセット信号に応答してリセットされるとともに、そのソフトシーケンスの異常を検知するソフト異常検知回路を内蔵するマイコンと、前記ソフト異常検知回路からの検知信号に応答して第2のリセット信号を出力するソフト異常リセット回路と、前記第1のリセット信号が出力されたときは、前記マイコンのリセットを行うとともに前記第2のリセット信号の発生を示すフラグをセットし、第2のリセット信号が出力されたときは、前記マイコンのリセットを禁止するリセット制御回路とから構成されている。

【0010】また、この発明の半導体装置は、電源投入又は電源投入後の電源電圧低下を検出して第1のリセット信号を発生する電源応答リセット回路と、この電源応答リセット回路からの前記第1のリセット信号に응答してリセットされるとともに、ウオッチドッグタイマ回路を内蔵するマイコンと、前記ウオッチドッグタイマ回路からのウオッチドッグ検出信号に응答して第2のリセット信号を出力するウオッチドッグタイマリセット回路

と、前記第1のリセット信号が出力されたときは、前記マイコンのリセットを行うとともに前記第2のリセット信号の発生を示すフラグをセットするリセット制御回路とを具備し、このリセット制御回路は、前記第1のリセット信号が一方の入力端に供給され、前記第2のリセット信号が他方の入力端に供給されるOR回路と、前記第1のリセット信号が出力されたときにリセットされるとともに、前記第2のリセット信号が出力されたときにセットされるレジスタと、前記OR回路の出力信号および前記レジスタの出力信号を前記マイコンに供給する手段とから構成される。

【0011】この構成によりマイコンの暴走によるリセットのときには内部記憶装置の初期化を行わず、電源投入、電源電圧低下などのときのみ内部記憶装置の初期化を行うように構成し、重要なデータが不用意に消去されないようにした半導体装置を提供出来る。

【0012】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0013】図1はこの発明の一実施の形態の回路構成を示すブロック図であり、この発明を、ソフト異常検知回路としてウオッチドッグタイマを内蔵したマイコン14に適用した場合の実施形態を示している。ソフト異常検知を受けてマイコンのリセットを行う回路としては、他にもアドレスラップリセット回路やシステムクロックリセット回路などがあるが、これらの回路にもこの発明は適用可能である。

【0014】マイコン14の初期化のためのリセット端子には、電源投入（パワーオン）リセット回路／電源低電圧検出リセット回路11、およびウオッチドッグタイマリセット回路12のリセット信号出力端子がOR回路13を介して接続される。

【0015】電源投入（パワーオン）リセット回路／電源低電圧リセット回路11は、電源投入を検知してリセット信号を出力する電源投入リセット回路部と、電源電圧が所定の電圧まで低下したことを検知してリセット信号を出力する電源低電圧リセット回路部とよりなり、いずれかの回路部からリセット信号PRESETが出力されると、これをOR回路13の一方の入力端子を介してマイコン部14に供給するとともに、OR回路16を介してフラグレジスタ15のリセット端子にも供給される。

【0016】ウオッチドッグタイマリセット回路12は、マイコン部14内に設けられているウオッチドッグタイマから、マイコン部の暴走を検知したときに出力される、ウオッチドッグ検出用信号WDT_INが供給されたときに、これに応じてリセット信号WDRESETを出力し、OR回路13の他方の入力端子を介してマイコン部14に供給するとともに、フラグレジスタ15のセット端子に供給される。

【0017】マイコン部14の暴走によりウオッチドッ

グ検出信号WDT INがマイコン部14から出力されると、ウォッチドッグタイマリセット回路12からの出力WDTR ESETがフラグレジスタ15のセット端子に供給され、ウォッチドッグタイマのリセット信号WDT ONが発生される。このリセット信号WDT ONがマイコン部14に供給されて図示しないウォッチドッグタイマがリセットされる。

【0018】リセット信号WDT ONが供給されてウォッチドッグタイマがリセットされると、マイコン部14からはリセット信号RESETが出力されて、OR回路16を介してフラグレジスタ15のリセット端子に供給され、このフラグレジスタ15が再びリセットされる。

【0019】以下、図2を参照して、図1の実施の形態の動作の説明を行う。

【0020】まず、電源が投入されると、これが電源投入（パワーオン）リセット回路／電源低電圧リセット回路11により検知されて、リセット信号がOR回路13を介して初期化信号INITとしてマイコン部14に供給されるとともに、OR回路16を介してフラグレジスタ15のリセット端子に供給される。この初期化信号INITにより図2のフローにおける初期化が開始される。

【0021】初期化信号INITによりフラグレジスタ15がリセットされると、ウォッチドッグタイマリセット信号WDT ONがLOWとなる。マイコン部14は、最初のステップS1において、このウォッチドッグタイマリセット信号WDT ONがLOWかHIGH化をチェックする。

【0022】この場合、ウォッチドッグタイマリセット信号WDT ONがLOWとなっており、処理は次にステップS2に進んで、マイコン部14は初期化信号INITを受け入れ、これに応じて内部記憶回路のRAM又はレジスタのデータをクリアするとともに、次のステップS3においてレジスタデータの設定を行う。なお、この内部記憶回路のクリア、即ち初期化はソフト的に行っても、或いはハード的に初期化回路を用いて行ってもどちらでも良いことは勿論である。

【0023】その後、ステップS4に移行して、所定のアプリケーションの処理ルーチンに移り、同時にソフト異常検知回路であるウォッチドッグタイマをスタートさせ、ウォッチドッグ検出用信号WDT INが生成されて、これがウォッチドッグタイマリセット回路12に供給される。

【0024】電源投入後、何らかの原因で電源電圧が所定値を下回ると、電源投入リセット／電源低電圧リセット回路11の電源低電圧検知部がこれを検知し、電源投入時と同様にマイコン部14に対して初期化信号INITが供給される。この場合の動作は電源投入時と全く同じである。

【0025】また、電源投入後のマイコン部14の動作中に何らかの原因でマイコン部14のソフトシーケンスが暴走した場合には、内蔵されているウォッチドッグタ

イマがこの暴走を検出し、ウォッチドッグタイマからマイコン部14を初期化するための信号がウォッチドッグ検出用信号WDT INに乗せてウォッチドッグタイマリセット回路12に送られる。

【0026】この結果、ウォッチドッグタイマリセット回路12からはウォッチドッグタイマリセット信号WDTR ESETが出力され、このリセット信号WDTR ESETにより図2のフローがスタートする。

【0027】最初に、リセット信号WDTR ESETによりフラグレジスタ15がセットされ、ウォッチドッグタイマリセットのためのフラグWDT ONがHIGH状態となる。

【0028】この状態で、ステップS1において、マイコン部14はこのフラグWDT ONをリードし、そのレベルがHIGHかLOWかをチェックする。

【0029】この状態では、マイコン部14にはそのリセット端子に初期化信号INITが供給されているが、フラグWDT ONがHIGH状態であるため、マイコン部14の内部記憶回路のRAM或いはレジスタなどの初期化は行われない。

【0030】この場合、フラグWDT ONがHIGH状態となっているから、処理はステップS5に移行し、フラグレジスタ15をクリアする為の信号RESETがマイコン部14から出力される。

【0031】このクリア信号RESETはOR回路16を介してフラグレジスタ15のリセット端子に供給され、フラグWDT ONがLOW状態に戻る。

【0032】その後、ステップS4に移行して、所定のアプリケーションの処理ルーチンに移り、同時にソフト異常検知回路であるウォッチドッグタイマをスタートさせ、ウォッチドッグ検出用信号WDT INが生成されて、これがウォッチドッグタイマリセット回路12に供給される。

【0033】このように、この実施の形態によれば、ウォッチドッグタイマリセット回路12からリセット信号WDTR ESETが出力されたときは、マイコン部14の内部記憶回路のRAM或いはレジスタなどが初期化されないもので、マイコン部14の暴走が起こったとしても必要なデータが失われることが無くなる。

【0034】

【発明の効果】以上詳述したようにこの発明によれば、マイコンの暴走によるリセットのときには内部記憶装置の初期化を行わず、電源投入、電源電圧低下などのときのみ内部記憶装置の初期化を行うように構成したので、重要なデータが不用意に消去されないようにした半導体装置を提供することが出来る。

【図面の簡単な説明】

【図1】この発明の一実施の形態の回路構成を示すブロック図。

【図2】図1の実施の形態の動作を説明する為のフローチャート。

【図3】従来のマイコンリセット回路の構成を示すブロック図。

【符号の説明】

11…電源投入リセット／電源低電圧リセット回路。

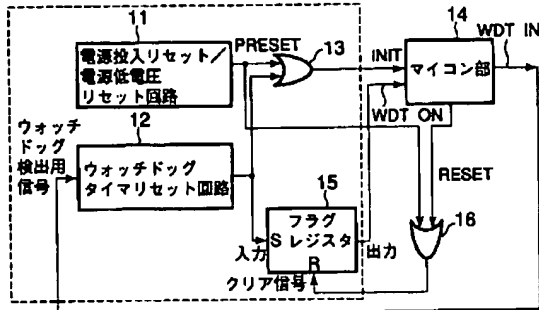
12…ウォッチドッグタイマリセット回路。

13、16…OR回路。

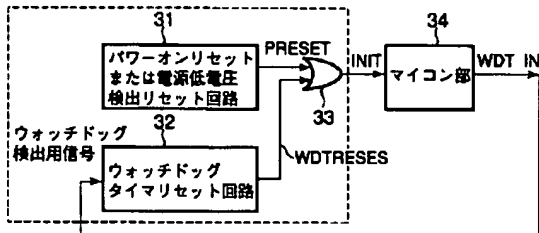
14…マイコン部。

15…フラグレジスタ。

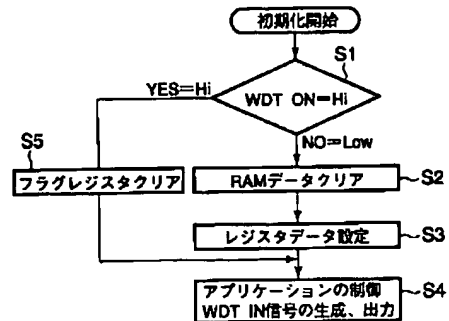
【図1】



【図3】



【図2】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 21/822

Fターム(参考) 5B042 GA13 GA33 G808 JJ13 JJ21

KK02 LA20

5B054 BB05 CC02 CC07

5B062 AA08 HH08 HH09

5F038 BH19 CD02 DF04 DF05 DF07

DT08 DT18 EZ20